

PATENT ABSTRACTS OF JAPAN

IDS(7)

(11)Publication number : 09-191075

(43)Date of publication of application : 22.07.1997

(51)Int.Cl.

H01L 25/04
H01L 25/18
G11C 5/00
// H05K 1/11

(21)Application number : 09-012573

(71)Applicant : HITACHI LTD
HITACHI TOBU
SEMICONDUCTOR LTD

(22)Date of filing : 27.01.1997

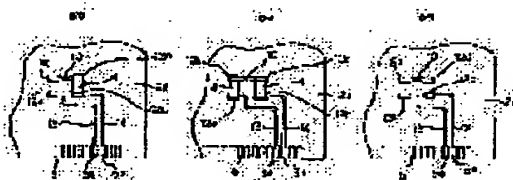
(72)Inventor : KANNO TOSHIO
TSUKUI SEIICHIRO
SAKAI OSAMU

(54) SEMICONDUCTOR DEVICE.

(57)Abstract:

PROBLEM TO BE SOLVED: To meet the requirements of design specification changes of a semiconductor device by a method wherein terminal electrodes are arranged on a wiring board so as to change functions in accordance with the connection states of SMT-type electrical continuity units which connect the identical function control terminals of a plurality of memories to outer terminals respectively.

SOLUTION: One jumper chip 4 is mounted between a land 12c and a land 12d on a wiring board 2a with solder so as to correspond to a memory module with an access time of 85ns. Two jumper chips 4 are mounted to bring lands 12a and 12b and lands 12c and 12d in a continuity with each other so as to correspond to a memory module with an access time of 100ns. No jumper chip 4 is mounted to correspond to a module with an access time of 120ns. With this constitution, the manufacturing lead time of a memory module can be shortened significantly and, further, the design cost, the manufacturing cost, etc., can be reduced and an economical memory module can be obtained.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2736052号

(45) 発行日 平成10年(1998) 4月2日

(24) 登録日 平成10年(1998) 1月9日

(51) Int.Cl.

識別記号

F I

H 0 1 L 25/04

H 0 1 L 25/04

Z

25/10

25/10

Z

25/18

請求項の数 7 (全 14 頁)

(21) 出願番号 特願平9-12573
(62) 分割の表示 特願昭63-328648の分割
(22) 出願日 昭和63年(1988)12月26日
(65) 公開番号 特開平9-191075
(43) 公開日 平成9年(1997)7月22日
審査請求日 平成9年(1997)1月27日

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(73) 特許権者 000233527
日立東部セミコンダクタ株式会社
埼玉県入間郡毛呂山町大字旭台15番地
(72) 発明者 菅野 利夫
東京都小平市上水本町5丁目20番1号
株式会社日立製作所 武蔵工場内
(72) 発明者 津久井 誠一郎
埼玉県入間郡毛呂山町大字旭台15番地
日立東部セミコンダクタ株式会社内
(74) 代理人 弁理士 筒井 大和
審査官 日比野 隆治

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】 少なくとも2以上のメモリを配線基板面上に搭載し、搭載されたメモリ同士を電気的に接続する配線を備え、外部装置との電気的な接続のために前記配線基板面上に配置された複数の外部端子を備える半導体装置であって、前記少なくとも2以上のメモリの各々の同一機能の制御端子と前記外部端子との接続状態を面実装形の導通手段によって変更することにより、前記少なくとも2以上のメモリの各々の制御端子を互いに電気的に接続して共通の外部端子として引き出す構造とするのか、前記少なくとも2以上のメモリの各々の制御端子を別々の外部端子として引き出す構造とするのかについての機能の変更が可能ないように、前記配線基板面上に端子電極を設けたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前

記機能構成の変更は、半導体装置全体のワード構成を変更することであることを特徴とする半導体装置。

【請求項3】 少なくとも2以上のメモリを配線基板面上に搭載し、搭載されたメモリ同士を電気的に接続する配線を備え、外部装置との電気的な接続のために前記配線基板面上に配置された複数の外部端子を備える半導体装置であって、前記少なくとも2以上のメモリの各々の入出力端子と前記外部端子との接続状態を面実装形の導通手段によって変更することにより、前記少なくとも2以上のメモリの各々の入出力端子を互いに電気的に接続して共通の外部端子として引き出す構造とするのか、前記少なくとも2以上のメモリの各々の入出力端子を別々の外部端子として引き出す構造とするのかについての機能の変更が可能ないように、前記配線基板面上に端子電極を設けたことを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記機能構成の変更は、半導体装置全体のビット構成を変更することであることを特徴とする半導体装置。

【請求項5】 少なくとも2以上のメモリを配線基板面上に搭載し、搭載されたメモリ同士を電氣的に接続する配線を備え、外部装置との電氣的な接続のために前記配線基板面上に配置された複数の外部端子を備える半導体装置であって、前記少なくとも2以上のメモリのうちの所定のメモリの入力端子および出力端子は共通に接続されて前記外部端子に電氣的に接続されるとともに、前記所定のメモリ以外のメモリの各々に対応するように配置された第1の入出力用の端子電極に電氣的に接続されて終端され、前記所定のメモリの制御端子は前記外部端子に電氣的に接続されるとともに、前記所定のメモリ以外のメモリの各々に対応するように配置された第1の制御用の端子電極に電氣的に接続されて終端され、前記所定のメモリ以外のメモリの各々の制御端子であって、前記所定のメモリの制御端子と同一機能の制御端子は、前記配線基板上において前記第1の制御用の端子電極の近傍に配置された第2の制御用の端子電極に電氣的に接続されて終端され、前記所定のメモリ以外のメモリの各々の入力端子および出力端子は共通に接続され、前記配線基板上において前記第1の入出力用の端子電極の近傍に配置された第2の入出力用の端子電極に電氣的に接続されて終端され、前記第1の制御用の端子電極および第2の制御用の端子電極の近傍には、前記外部端子と電氣的に接続される第1の外部用の端子電極が配置され、前記第1の入出力用の端子電極および第2の入出力用の端子電極の近傍には、前記外部端子と電氣的に接続される第2の外部用の端子電極が配置され、前記第1の制御用の端子電極、第2の制御用の端子電極および第1の外部用の端子電極間、前記第1の入出力用の端子電極、第2の入出力用の端子電極および第2の外部用の端子電極間の各々における面実装形の導通手段による電氣的な接続状態を変更することにより、

前記少なくとも2以上のメモリの各々の制御端子を互いに電氣的に接続して共通の外部端子として引き出す構造とするのか、前記少なくとも2以上のメモリの各々の制御端子を別々の外部端子として引き出す構造とするのか、および前記少なくとも2以上のメモリの各々の入出力端子を互いに電氣的に接続して共通の外部端子として引き出す構造とするのか、前記少なくとも2以上のメモリの各々の入出力端子を別々の外部端子として引き出す構造とするのかについての機能変更が可能なように、第1の制御信号用の端子電極、第2の制御信号用の端子電極、前記第1の入出力用の端子電極、第2の入出力用の端子電極、第1の外部用の端子電極および第2の外部用の端子電極を配置したことを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、前記機能構成の変更は、半導体装置全体のワード・ビット

構成を変更することであることを特徴とする半導体装置。

【請求項7】 請求項1～6のいずれか一項に記載の半導体装置において、前記面実装形の導通手段が、内部に形成された論理回路のスイッチング動作により、前記端子電極間の電氣的な接続状態の切り換えが可能な集積回路チップであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線基板およびこれを用いた半導体装置技術に関し、例えば、メモリ・モジュールに適用して有効な技術に関するものである。

【0002】

【従来の技術】メモリ・モジュール等のような半導体装置を製造する場合は、それを構成する配線基板を、そのモジュールの用途や目的に応じて個別に作成するのが一般的であった。

【0003】なお、配線基板上に電子部品を実装してなるモジュールについては、例えば、特開昭62-195159号公報に記載があり、この公報には、配線基板に接合されたモジュール端子の接合強度を向上させる技術について説明されている。

【0004】

【発明が解決しようとする課題】ところが、上記した半導体装置技術においては、以下のような問題点があることを本発明者は見出した。

【0005】すなわち、この種の半導体装置においては、製品が完成した後、その製品の仕様変更に基づいて配線の経路を変更することが困難であるため、たとえわずかな仕様変更が生じても、その都度、配線基板を作成し直さなければならず、半導体装置用の配線基板の製造の効率化を図ることができないという問題がある。

【0006】例えば、メモリ・モジュールには、モジュール用の配線基板上に搭載された各メモリのデータ入出力方式によって2つの仕様がある。

【0007】1つは、各メモリの入力端子と出力端子とを1つの共通の外部端子として引き出す仕様であり、もう1つは、各メモリの入力端子と出力端子とをそれぞれ別々の外部端子として引き出す仕様である。

【0008】ところが、一方の仕様の製品を製造していた際に、他方の仕様の製品に製造が変更された場合に、この各々の仕様においては配線基板の配線経路が若干異なるので、その変更された仕様に応じた専用の配線基板を初めから製造し直さなければならず、配線基板が無駄になってしまったり、その製造に費やした金銭、時間および労力が無駄となってしまったりする場合がある。

【0009】また、このような問題は、メモリ・モジュールの全体のワード・ビット構成（仕様）の変更によっても生じる問題であり、ワード・ビット構成が変更される度に、その変更された仕様に応じた専用の配線基板を

初めから製造し直さなければならず、配線基板が無駄になってしまったり、その製造に費やした金銭、時間および労力が無駄となってしまうことがある。

【0010】このように、上記した半導体装置技術においては、製品の完成までに多大な時間を要する上、金銭、時間および労力の無駄が生じ製品の製品コストが高くなるという問題が生じる。

【0011】本発明の目的は、半導体装置の設計仕様の変更柔軟に対応することのできる技術を提供することにある。

【0012】また、本発明の目的は、半導体装置の製造効率を向上させることのできる技術を提供することにある。

【0013】また、本発明の目的は、半導体装置の製造コストを低減することのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明の半導体装置は、少なくとも2以上のメモリを配線基板上に搭載し、搭載されたメモリ同士を電気的に接続する配線を備え、外部装置との電気的な接続のために前記配線基板上に配置された複数の外部端子を備える半導体装置であって、前記少なくとも2以上のメモリの各々の同一機能の制御端子と前記外部端子との接続状態を面実装形の導通手段によって変更することにより、前記少なくとも2以上のメモリの各々の制御端子を互いに電気的に接続して共通の外部端子として引き出す構造とするのか、前記少なくとも2以上のメモリの各々の制御端子を別々の外部端子として引き出す構造とするのかについての機能の変更が可能のように、前記配線基板上に端子電極を設けたものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものには同一の符号を付し、その繰り返しの説明は省略する）。

【0018】（実施の形態1）図1は本発明の一実施の形態である配線基板の主面を示す平面図、図2（a）～（c）はアクセスタイムに応じた導通手段の実装状態を示す配線基板の要部平面図、図3（a）～（d）はこの配線基板を構成する各配線層の平面図、図4（a）、

（b）は導通手段であるジャンパチップの構造を示す図、図5はこの配線基板を用いたメモリ・モジュールの主面を示す平面図である。

【0019】図5に示す本実施の形態1のメモリ・モジ

ュール1aは、例えば、アクセスタイム100nsの256K×36ビット構成のダイナミックRAM（DRAM）モジュールである。なお、アクセスタイムは、例えば、RAS（Row Address Strobe）信号を基準にした場合である。

【0020】メモリ・モジュール1aを構成する配線基板2aの主面には、電子部品である大小2種類の半導体メモリ3a、3bと、これら半導体メモリ3a、3bの下面側に配置され図示されないが、同じく電子部品であるバイパス・コンデンサと、導通手段であるジャンパチップ4とが実装されている。

【0021】また、配線基板2aの長辺の一方には、例えば、72個のモジュール端子（外部端子）5が配線基板2aの長手方向に沿って配置されている。なお、各モジュール端子5の幅は、例えば、1.04mm程度、隣り合うモジュール端子5、5の間隔は、例えば、1.27mm程度である。

【0022】本実施の形態1においては、上記したモジュール端子5のうち、例えば、左から69、70番目のモジュール端子5a、5bは、アクセスタイムを識別するための機能識別用のモジュール端子として構成されている。

【0023】上記した大形の半導体メモリ3aは、配線基板2aの長手方向に、例えば、8個配列して実装されており、これを構成する、例えば、SOJ（Small OutlineJ-lead）形のパッケージの内部には、256K×4ビット構成のDRAMチップ（図示せず）が収容されている。

【0024】また、小形の半導体メモリ3bは、配線基板2a面の両端側にそれぞれ2個ずつ実装されており、これを構成する、例えば、PLCC（Plastic Leaded Chip Carrier）形のパッケージの内部には、256×1ビット構成のDRAMチップ（図示せず）が収容されている。

【0025】なお、半導体メモリ3a、3aのリード端子間、及び半導体メモリ3a、3bのリード端子間の間隔は、例えば、0.2mm程度である。

【0026】図示しないバイパス・コンデンサは、例えば、0.2μFのセラミック・コンデンサであり、ノイズ等を防止する観点から、半導体メモリ3a、3bの各々の電源電圧（Vcc）端子とGND端子との間に電気的に接続されている。

【0027】本実施の形態1に用いられるジャンパチップ4を図4（a）および（b）に示す。図4（b）は図4（a）のX-X'線に沿う断面図である。ジャンパチップ4は、例えばセラミックからなるチップ本体基板6の両端に、導電性金属（例えばパラジウム銀系厚膜）からなる第一次電極7cが印刷形成されている。その上に、導体8a（例えば銀）が印刷形成され、電気的に接続される。そして、導体の上には保護ガラス8bが形成

されている。更に、前記第一次電極7cの上には、第二次電極7b（例えばニッケル、半田等）、外部電極7a（例えば錫-鉛、半田等）がメッキされている。

【0028】上記した配線基板2aは、例えば、ガラスエポキシ樹脂からなり、第3図(a)～(d)に示すように、例えば、4層配線構造となっている。このような多層配線基板2aの形成は、まずガラスエポキシ樹脂からなる板状部材の全面に銅箔を圧着した後、エッチング処理により内層パターン9を形成し、板状部材を積層プレスする。次に、ドリル、あるいはパンチ加工により多層配線層間を導通するスルーホール10を形成した後、スルーホールメッキ、表面のパターン形成することにより得られるものである。

【0029】配線基板2aの主面側(図3(a))と裏面側(図3(d))との配線層には、上記のように主に内層パターン9が形成されている。

【0030】また、配線基板2aの内側2層(図3(b),(c))のうち、1層は、ノイズ等を防止する観点からGND配線専用となっており、他の1層は可能な限りVcc配線に用いられている。

【0031】そして、図1に示すように、配線基板2aの主面には、上記した半導体メモリ3a、3bを実装する複数のランド11aが、各半導体メモリ3a、3bのリード端子に対応するように配置されており、また、上記したバイパス・コンデンサを実装する複数のランド11bが配置されている。なお、ランド11aは、上記した内層パターン9(図3(a),(d))などを介してモジュール端子5と電気的に接続されている。

【0032】また、本実施の形態1においては、配線基板2aの主面右側、小形の半導体メモリ3bを実装する複数のランド11aの下方に、互いに独立するランド12a、12bと、同じく互いに独立するランド12c、12dとが配置されている。

【0033】ランド12aとランド12cとは、それぞれ配線13、14を介してアクセスタイムを識別するための電極であるモジュール端子5a、5bにそれぞれ電気的に接続されている。また、ランド12bとランド12dとは、スルーホール10を介してGND電極と電気的に接続されている。なお、配線基板2aの寸法は、 25.4×10.8 mm程度である。

【0034】ところで、従来、アクセスタイムを識別するには、例えば、メモリ・モジュールのモジュール端子の所定の2つをアクセスタイム識別用の端子として、それら端子が、NC、GND電位の時は85ns、ともにGND電位の時は100ns、ともにNCの時は120nsというように予め決めておくことにより行っていた。

【0035】したがって、従来は、メモリ・モジュールの回路機能が同一であっても、アクセスタイムが、例えば、85ns～120nsの間で変更される度に、識別

用のモジュール端子部分の配線のみを変えるために、異なる別個の配線基板を作成しなければならなかった。

【0036】しかし、本実施の形態1の配線基板2aにおいては、図2(a)に示すように、ランド12cとランド12dとの間に、ジャンパチップ4を半田により実装し、これらランド12c、12d間を導通させることによって、モジュール端子5bをGND電位とすることができる。

【0037】したがって、図2(a)によれば、モジュール端子5a、5bをNC、GND電位にすることができるため、アクセスタイム85nsのメモリ・モジュールに対応させることができる。

【0038】また、配線基板2aは、図2(b)に示すように、ジャンパチップ4、4の実装によって、ランド12a、12b間、及びランド12c、12d間を導通させ、モジュール端子5a、5bをともにGND電位とすることができるため、回路機能としてアクセスタイム100nsのメモリ・モジュール1aに対応させることができる。

【0039】さらに、配線基板2aは、図2(c)に示すように、ジャンパチップ4の実装を行わないことにより、モジュール端子5a、5bとともにNCにすることができるため、アクセスタイム120nsのメモリ・モジュールに対応させることができる。

【0040】すなわち、本実施の形態1の配線基板2aは、ジャンパチップを選択的に着脱することによって、同一の配線基板2aで上記した3種類のアクセスタイムの変更に対応することができる。

【0041】このように本実施の形態によれば、メモリ・モジュール1aのアクセスタイムが、種々変更された場合であってもジャンパチップ4の選択的な着脱によって、これに対応することができるため、配線基板2aを標準化することができる。

【0042】このため、メモリ・モジュール1aの製造時間を大幅に短縮することができる上、その設計コスト、及び製造コスト等を低減させ、メモリ・モジュール1aを安価に提供することができる。

【0043】(実施の形態2)図6(a),(b)は本発明の他の実施の形態であるメモリ・モジュールの主面と裏面とを示す平面図、図7は図6(a),(b)に示したメモリ・モジュールの側面図である。

【0044】図6(a),(b)、及び図7に示す本実施の形態2のメモリ・モジュール1bは、例えば、512K×36ビット構成のDRAMモジュールである。

【0045】メモリ・モジュール1bを構成する配線基板2bの主面(図6(a))、及び裏面(図6(b))には、半導体メモリ3a、3bが実施の形態1と同様に実装されている。

【0046】なお、このメモリ・モジュール1bにおいては、データのアクセスに際して、一面側の半導体メモ

り3a, 3bが動作している間、他面側の半導体メモリ3a, 3bは動作しないようになっている。

【0047】したがって、実施の形態1で説明したバイパス・コンデンサは、配線基板2bの主面側と裏面側との半導体メモリ3a, 3a、または半導体メモリ3b, 3bの間で共有されるようになっている。

【0048】ところで、本実施の形態2においては、モジュール端子5のうち、例えば、左から69、70番目のモジュール端子5a, 5bを、例えば、半導体メモリ3a, 3bの実装方式を識別するための端子とする。

【0049】従来、実装方式を識別するには、実施の形態1で説明したアクセスタイムと同様に、例えば、モジュール端子の所定の2端子を実装方式の識別用端子にして、それら端子が、NC, GND電位の時は片面実装、ともにGND電位の時は両面実装というように予め決めておくことにより行っていた。

【0050】したがって、従来は、実装方式が変更される度に、識別用のモジュール端子部分の配線を変えるだけのために初めから配線基板を作成しなければならなかった。

【0051】しかし、本実施の形態2の配線基板2bにおいては、実施の形態1の第2図(a)～(c)で示したように、配線基板2bを作成した後からでも、ジャンパチップ4の実装の仕方によって、モジュール端子5a, 5bをNC, GND電位にしたり、ともにGND電位にしたりすることができるため、同一の配線基板2bで上記した識別される実装方式の変更に対応することができる。

【0052】このように本実施の形態2によれば、半導体メモリ3a, 3bの実装方式が、片面実装または両面実装というように変更されても、同一の配線基板2bでそれに対応することができる。

【0053】(実施の形態3) 図8は本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図、図9(a)～(c)は入出力方式に応じた導通手段の実装状態を示す図8に示した配線基板の要部平面図である。

【0054】本実施の形態3においては説明を簡単にするため、図8に示すように、例えば、主要素子として4つのDRAM15～DRAM18によりメモリ・モジュール1cを説明する。

【0055】各DRAM15～18のCAS (Column Address Strobe)信号端子は、制御信号配線19aを介して配線基板2cに形成されたモジュール端子5cと電気的に接続されており、外部からCAS信号が与えられるようになっている。

【0056】また、各DRAM15～18のRAS (Row Address Strobe) 信号端子は、制御信号配線19bを介してモジュール端子5dと電気的に接続され、外部からRAS信号が与えられるようになっている。

【0057】さらに、各DRAM15～18のWE (Write enable)端子は、制御信号配線19cを介してモジュール端子5eと電気的に接続され、外部からデータの書き込み、あるいは読み出しの制御が行われるようになっている。

【0058】そして、これらRAS、及びCAS信号と、WE信号とによってDRAM15～18のデータのアクセスが制御されている。

【0059】また、各DRAM15～18のアドレス端子は、アドレス信号配線20を介してモジュール端子5fと電気的に接続され、外部からメモリのアドレスが指定されるようになっている。なお、アドレス指定に際しては、例えば、マルチプレクス方式により、行と列のアドレスが所定数の同一のモジュール端子5fから入力されるようになっている。

【0060】本実施の形態3におけるメモリ・モジュール1cの各DRAM15～18は、データ入力端子Dinとデータ出力端子Doutとを備えている。

【0061】データ入力端子Dinは、データ線21を介してモジュール端子5gと電気的に接続され、かつ、配線22を介して実施の形態1, 2で説明したジャンパチップ4を実装する実装領域A (第9図参照)のランド12eと電気的に接続されている。

【0062】また、データ出力端子Doutは、配線23を介してランド12eと電気的に独立して形成されたランド12fと電気的に接続されている。

【0063】そして、これらランド12e, 12fと電気的に独立して実装領域Aに形成されたランド12gは、配線24を介してモジュール端子5hと電気的に接続されている。

【0064】次に、本実施の形態3の作用を図8、及び図9(a)～(c)により説明する。

【0065】図9は、実装領域Aにおけるランド12e～12gに実施の形態1, 2で説明したジャンパチップ4が実装されていない状態を示しており、データ出力端子Doutは開放状態、モジュール端子5hはNCの状態である。

【0066】ここで、図9(b)に示すように、ランド12f, 12gにジャンパチップ4を実装することによって、これらランド12f, 12g間を導通させると、データ出力端子Doutとモジュール端子5hとが電気的に接続される。

【0067】すなわち、モジュール端子5hはデータ出力用の端子となり、また、モジュール端子5gはデータ入力用の端子となる。したがって、各DRAM15～18において、データの入出力(I/O)方式は、I/Oセパレート方式となる。

【0068】一方、図9(c)に示すように、ランド12f, 12eにジャンパチップ4を実装することによって、これらランド12f, 12e間を導通させると、デ

一夕入力端子Dinとデータ出力端子Dout とが電氣的に接続される。

【0069】すなわち、モジュール端子5gは、I/O共通の電極となる。なお、その際、モジュール端子5hはNCとなる。したがって、各DRAM15～18において、データのI/O方式は、I/Oコモン方式となる。

【0070】このように本実施の形態3によれば、メモリ・モジュール1cの各DRAM15～18のデータI/O方式が、I/Oコモン方式やI/Oセパレート方式に変更されても、同一の配線基板2cでそれに対応することができる。

【0071】（実施の形態4）図10は本発明のさらに他の実施の形態である半導体装置の回路構成を示す回路ブロック図、図11及び図12はワード・ビット構成に応じた導通手段の実装状態を示す図10に示した半導体装置の回路ブロック図である。

【0072】図10に示す本実施の形態4の半導体装置であるメモリ・モジュール1dにおける各DRAM15～18は、例えば、各々が1M×1ビット構成であり、これらDRAM15～18の選択は、RAS信号により制御されるようになっている。

【0073】本実施の形態4においては、実装領域Aに電氣的に互いに独立する端子電極であるランド12h～12mが配置されている。各実装領域Aにおけるランド（第1の制御用の端子電極）12hは、配線25を介して、DRAM15のRAS信号端子とモジュール端子5dとを電氣的に接続する制御信号配線19bに電氣的に接続されている。

【0074】また、各実装領域Aにおけるランド（第2の制御用の端子電極）12iは、各DRAM16～18のRAS信号端子に電氣的に接続されている。各実装領域Aにおけるランド（第1の外部用の端子電極）12j、ランド（第2の外部用の端子電極）12kは、それぞれモジュール端子5i、モジュール端子5jに電氣的に接続されている。

【0075】さらに、各実装領域Aにおけるランド（第1の入出力用の端子電極）12lは、配線26を介して、DRAM15のデータ入力端子Din、及びデータ出力端子Dout とモジュール端子5kとを電氣的に接続する配線27と電氣的に接続されている。

【0076】また、各実装領域Aにおけるランド（第2の入出力用の端子電極）12mは、各DRAM16～18のデータ入力端子Din、及びデータ出力端子Dout と電氣的に接続されている。

【0077】ところで、このようなメモリ・モジュール1dを、例えば、1M×4ビット構成として用いる場合、図11に示すように、各実装領域Aにおけるランド12hとランド12iとをジャンパチップ4により導通させ、各DRAM15～18のRAS信号を共通にす

る。

【0078】さらに、これとともに、各実装領域Aにおけるランド12kとランド12mとをジャンパチップ4により導通させ、I/O信号が各DRAM15～18から入出力されるようにする。

【0079】すなわち、データのアクセスに際して各DRAM15～18は、モジュール端子5dから入力されたRAS信号に同期して同時に動作し、各DRAM15～18からそれぞれI/O・0～I/O・3の4ビットのデータが入出力される。

【0080】一方、メモリ・モジュール1dを、例えば、4M×1ビット構成として用いる場合、図12に示すように、各実装領域Aにおけるランド12iとランド12jとをジャンパチップ4により導通させ、各DRAM15～18をRAS0～RAS3信号により個別に選択できるようにする。

【0081】さらに、これとともに、各実装領域Aにおけるランド12lとランド12mとをジャンパチップ4により導通させ、各DRAM15～18のI/O信号がモジュール端子5kのみから入出力されるようにする。

【0082】すなわち、データのアクセスに際して、RAS0～RAS3信号により、各DRAM15～18のうち所定のDRAMが選択され、その選択されたDRAMからI/Oの1ビットのデータが入出力される。

【0083】このように本実施の形態4によれば、メモリ・モジュール1dのワード・ビット構成が、例えば、4M×1ビット構成、あるいは1M×4ビット構成というように変更されても、同一の配線基板2dでそれに対応することができる。

【0084】（実施の形態5）図13は本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図、図14は欠陥救済時における導通手段の実装状態を示す図13に示したメモリ・モジュールの回路ブロック図である。

【0085】図13に示す本実施の形態5のメモリ・モジュール1eの配線基板2eには、配線基板2e上のDRAM15～18のいずれかに故障が生じた場合、その故障したDRAMの代替素子を実装するためのDRAM実装領域Bが設けられている。なお、DRAM実装領域Bは、配線基板2eの主面、裏面のどちらに設けられていても良い。

【0086】DRAM実装領域Bには、CAS信号用ランド28a、RAS信号用ランド28b、WE信号用ランド28c、及びアドレス指定用ランド29、データ入出力用ランド30a、30bなどが配置されている。

【0087】上記したRAS信号用のランド28bは、配線31を介して各実装領域A1～A4のランド12p、及びモジュール端子5dと電氣的に接続されている。

【0088】また、上記したデータ入力用のランド30

a、及びデータ出力用のランド30bは、配線32を介して各実装領域A1～A4のランド12qと電気的に接続されている。

【0089】ところで、本実施の形態5のメモリ・モジュール1dにおいて、例えば、DRAM18が故障した場合のメモリ・モジュール1dの欠陥救済技術を第14図により説明すると以下のとおりである。

【0090】すなわち、DRAM実装領域Bに正常な回路動作を行う冗長用DRAM33を実装し、各実装領域A1～A3におけるランド12iとランド12p、及びランド12kとランド12mとをジャンパチップ4により導通させ、かつ、実装領域A4におけるランド12kとランド12qとをジャンパチップ4により導通させる。

【0091】これにより、故障したDRAM18は、メモリ・モジュール1dの回路系から電気的に独立した状態となり、その代わり冗長用DRAM33がメモリ・モジュール1dの回路系に電気的に接続される。

【0092】このように本実施の形態5によれば、故障したDRAM18を取り外すことなく、ジャンパチップ4の実装の仕方によって、故障したDRAM18と冗長用DRAM33とを配線系統上で容易に交換できる。

【0093】このため、メモリ・モジュール1dにおけるDRAM15～18が高密度に実装されていても信頼性の高い欠陥救済を行うことができ、欠陥救済によるメモリ・モジュール1dの歩留り低下を確実に防止することができる。

【0094】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0095】例えば、前記実施の形態1においては、識別の対象としてアクセスタイムを、また、前記実施の形態2においては、半導体メモリの実装方式を説明したが、これに限定されるものではなく、製品の他の識別においても適用できる。

【0096】また、前記実施の形態1～5においては、導通手段がジャンパチップであり、このジャンパチップの実装の仕方によって、配線経路を選択的に切り換える場合について説明したが、これに限定されるものではなく、例えば、導通手段を論理回路が構成された集積回路チップとし、この集積回路チップ内部の論理回路のスイッチング動作により、所定ランド間の導通、非導通を選択的に切り換えるようにしても良い。

【0097】また、前記実施の形態1～5においては、それぞれアクセスタイムの識別、実装方式の識別、I/O方式の変換、ワード・ビット構成の変換、冗長構成について説明したが、これに限定されるものではなく、例えば、配線基板上のモジュール端子の信号配置（あるいは電源電圧配置）が標準タイプと若干異なる場合におい

ても適用することができる。

【0098】また、前記実施の形態1～5においては、配線経路の変換技術をそれぞれ分けて説明したが、これに限定されるものではなく、例えば、実施の形態1と実施の形態2とを組み合わせたり、実施の形態3と実施の形態4とを組み合わせたり、あるいは実施の形態1～5を同一の配線基板上で実現したりすることもできる。

【0099】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるメモリ・モジュールに適用した場合について説明したが、これに限定されず種々適用可能であり他の半導体装置に適用することもできる。

【0100】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0101】(1).本発明の半導体装置によれば、面実装形の導通手段によってメモリのワード・ビット構成を変更することが可能となる。すなわち、例えばメモリ・モジュール等のような半導体装置の設計仕様の変更に柔軟に対応することが可能となる。

【0102】(2).上記(1)により、例えばメモリ・モジュール等のような半導体装置の設計仕様の変更に応じて配線基板を初めから作り直す必要等を無くすることができるので、半導体装置の製造効率を向上させることができ、半導体装置の製造時間を大幅に短縮することが可能となる。

【0103】(3).上記(1)および(2)により、配線基板の作り直し等による金銭、時間および労力の無駄を無くすることができるので、メモリ・モジュール等のような半導体装置の製造コストを大幅に低減させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である配線基板の主面を示す平面図である。

【図2】(a)～(c)はアクセスタイムに応じた導通手段の実装状態を示す配線基板の要部平面図である。

【図3】(a)～(d)はこの配線基板を構成する各配線層の平面図である。

【図4】(a)は導通手段であるジャンパチップの構造を示す平面図であり、(b)は(a)のX-X'線に沿う断面図である。

【図5】この配線基板を用いたメモリ・モジュールの主面を示す平面図である。

【図6】(a)、(b)は本発明の他の実施の形態であるメモリ・モジュールの主面と裏面とを示す平面図である。

【図7】図6(a)、(b)に示したメモリ・モジュールの側面図である。

【図8】本発明のさらに他の実施の形態であるメモリ・

モジュールの回路構成を示す回路ブロック図である。

【図9】(a)～(c)は入出力方式に応じた導通手段の実装状態を示す図8に示した配線基板の要部平面図である。

【図10】本発明のさらに他の実施の形態である半導体装置の回路構成を示す回路ブロック図である。

【図11】ワード・ビット構成に応じた導通手段の実装状態を示す図10に示した半導体装置の回路ブロック図である。

【図12】ワード・ビット構成に応じた導通手段の実装状態を示す図10に示した半導体装置の回路ブロック図である。

【図13】本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図である。

【図14】欠陥救済時における導通手段の実装状態を示す図13に示したメモリ・モジュールの回路ブロック図である。

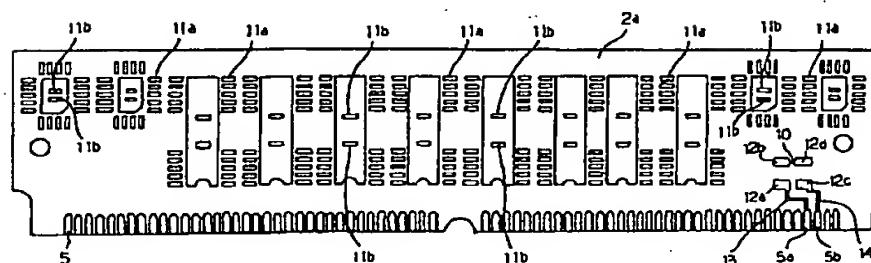
【符号の説明】

- 1a～1c, 1e メモリ・モジュール
- 1d メモリ・モジュール (半導体装置)
- 2a～2e 配線基板
- 3a, 3b 半導体メモリ
- 4 ジャンパチップ (導通手段)
- 5～5k モジュール端子

- 6 チップ本体
- 7a, 7b チップ電極
- 8 導体
- 9 内層パターン
- 10 スルーホール
- 11a, 11b ランド
- 12a～12n, 12p, 12q ランド (端子電極)
- 12h ランド (第1の制御用の端子電極)
- 12i ランド (第2の制御用の端子電極)
- 12j ランド (第1の外部用の端子電極)
- 12k ランド (第2の外部用の端子電極)
- 12l ランド (第1の入出力用の端子電極)
- 12m ランド (第2の入出力用の端子電極)
- 13, 14, 21～27, 31, 32 配線
- 15～18 DRAM
- 19a～19c 制御信号配線
- 20 アドレス信号配線
- 28a CAS信号用ランド
- 28b RAS信号用ランド
- 28c WE信号用ランド
- 29 アドレス指定用ランド
- 30a データ入力用ランド
- 30b データ出力用ランド
- 33 冗長用DRAM

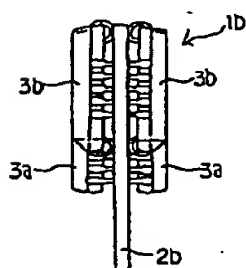
【図1】

図 1



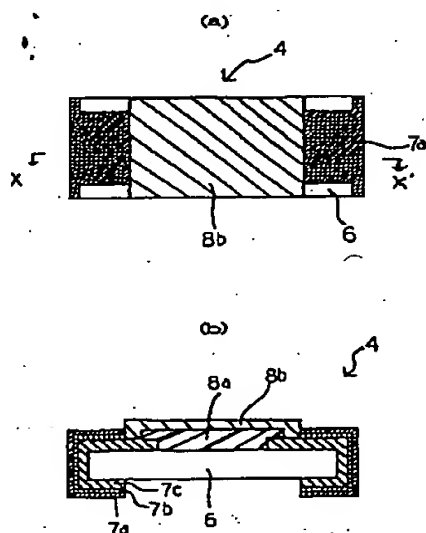
【図7】

図 7



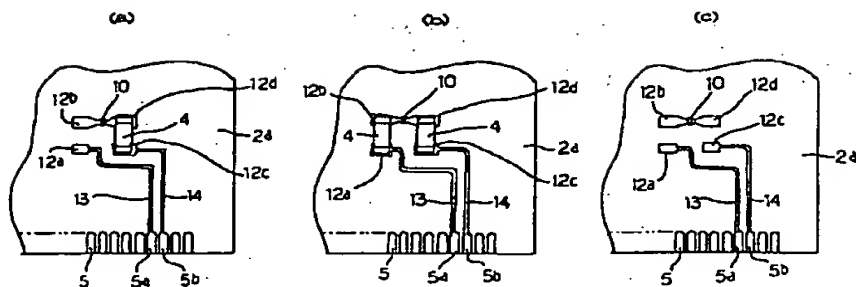
【図4】

図 4



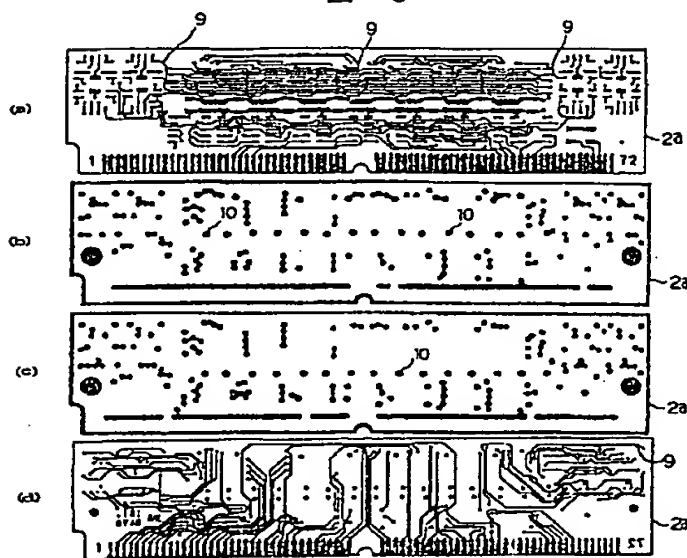
【図 2】

図 2



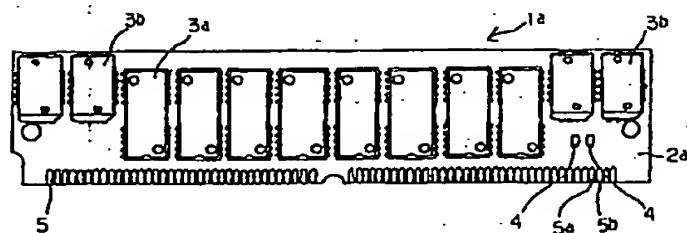
【図 3】

図 3



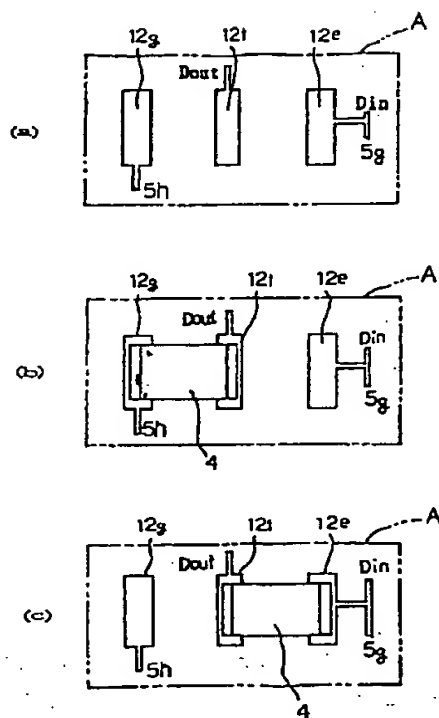
【図 5】

図 5



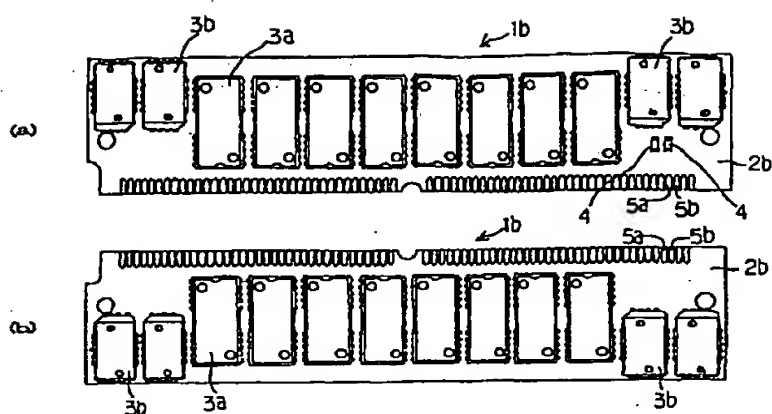
【図 9】

図 9



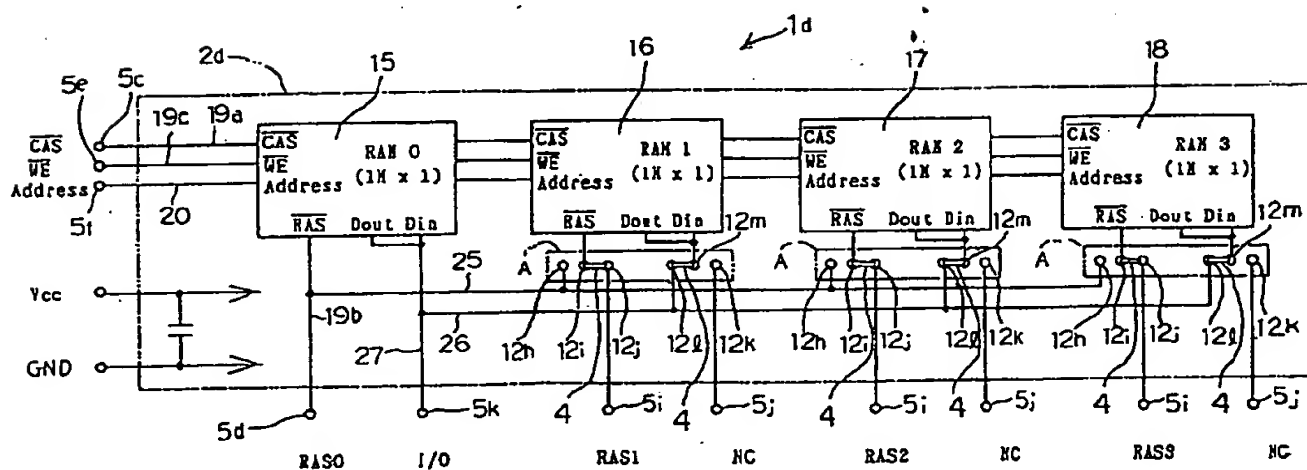
【例 6】

图 6



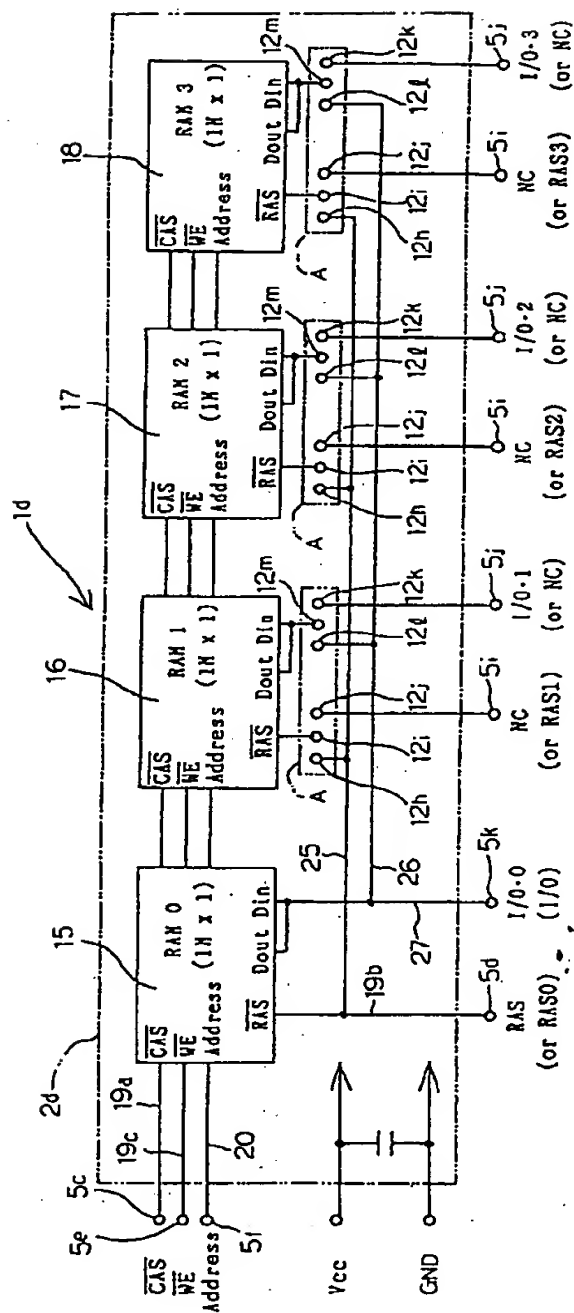
【☒ 1 2】

図 12



【図10】

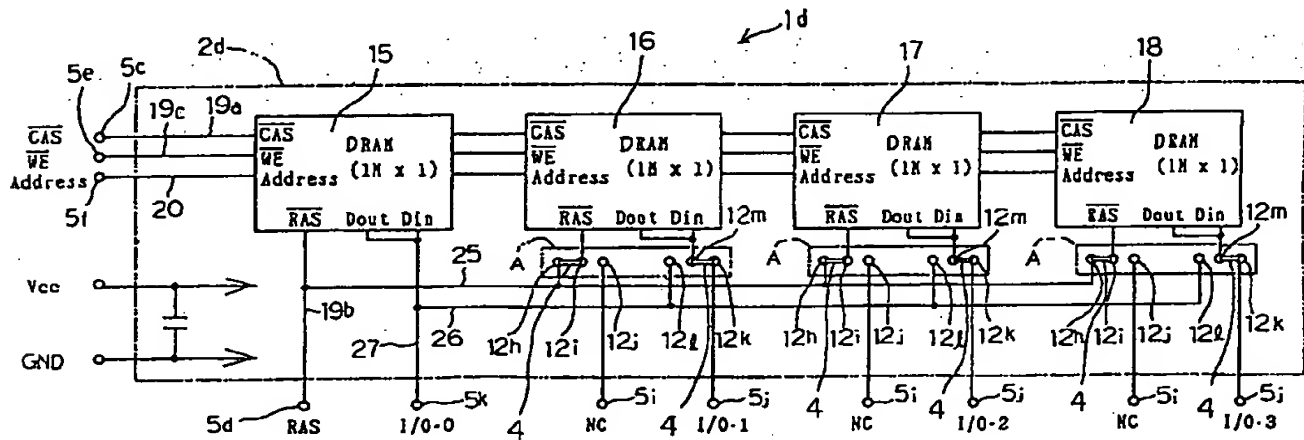
図 10



1d:メモリ・モジュール
12h~12m:ランド(端子電極)

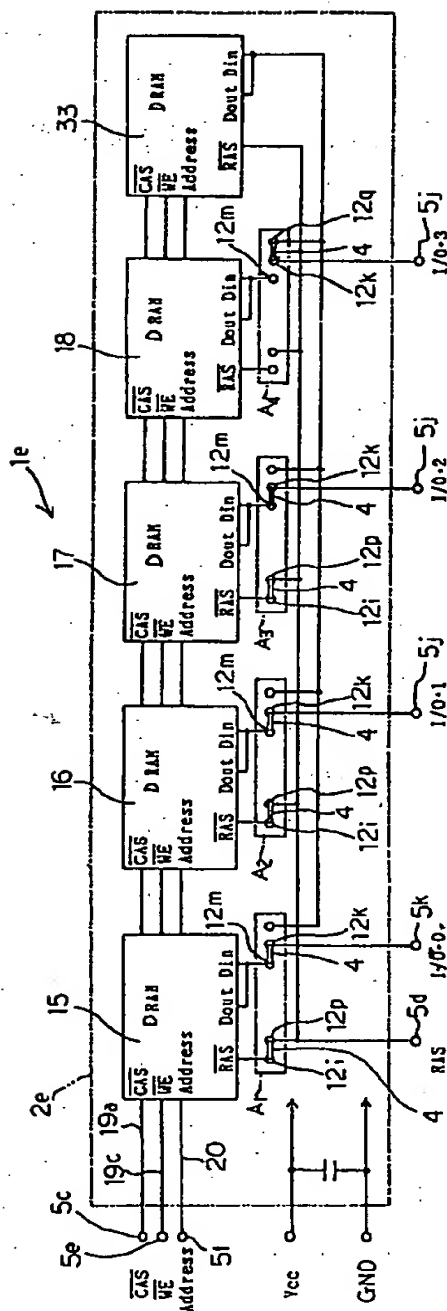
【図11】

図 11



【 図 1 4 】

図 14



フロントページの続き

(72)発明者 酒井 修
東京都小平市上水本町5丁目20番1号
株式会社日立製作所 武蔵工場内

(56)参考文献 特開 平2-111594 (JP, A)
特開 平2-146648 (JP, A)
実開 昭56-16897 (JP, U)